

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

**SEMICONDUCTOR DEVICE**

Patent Number: JP6085126  
Publication date: 1994-03-25  
Inventor(s): MIYAGI MASAHIDE; others: 01  
Applicant(s):: FUJI ELECTRIC CO LTD  
Requested Patent: ☐ JP6085126  
Application Number: JP19920265220 19921005  
Priority Number(s):  
IPC Classification: H01L23/48  
EC Classification:  
Equivalents: JP2924498B2

**Abstract**

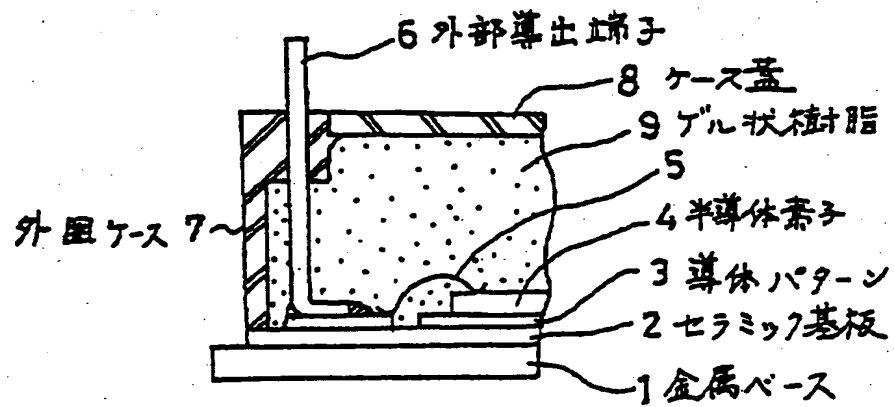
**PURPOSE:** To provide a terminal assembly structure to obtain a reliable semiconductor device which is easy to assemble with respect to outgoing terminals and hardly influenced by external stress or thermal stress due to being subjected to heat cycles.

**CONSTITUTION:** An outgoing terminal 6 is soldered to a ceramic substrate 2 mounted with semiconductor elements 4, and one end of the terminal is projected from the resin case 7. The case 7 is then filled with gelatinous resin 9, being sealed. The outgoing terminal 6 is integrated into the case 7 by insert molding. This facilitates the assembly of the semiconductor device including the outgoing terminal. In addition, external and thermal stresses exerted on the outgoing terminal are directly received by the case; therefore, unfavorable stress will not be applied to the ceramic substrate or the soldered part between the terminal and the substrate.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

FIG. 1



- 1: Metal base plate
- 2: Ceramic substrate
- 3: Conductor pattern
- 4: Semiconductor element
- 5:
- 6: Outgoing terminal
- 7: Resin case
- 8: Case cover
- 9: Gelatinous resin

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-85126

(43)公開日 平成6年(1994)3月25日

(51)Int.Cl.<sup>5</sup>

H01L 23/48

識別記号

G

K

庁内整理番号

FI

技術表示箇所

審査請求 未請求 請求項の数7(全5頁)

(21)出願番号 特願平4-265220

(22)出願日 平成4年(1992)10月5日

(31)優先権主張番号 特願平4-188468

(32)優先日 平4(1992)7月16日

(33)優先権主張国 日本(JP)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 宮城 正英

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72)発明者 山田 敏雄

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

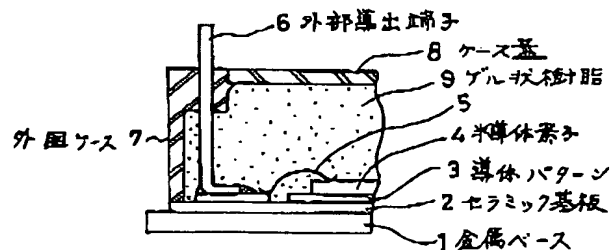
(74)代理人 弁理士 山口 巖

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】外部導出端子に対する組立性に優れ、しかも外部応力、ヒートサイクルによる熱応力の影響を殆ど受けることがない信頼性の高い半導体装置、特にその端子組立構造を提供する。

【構成】半導体素子4を搭載したセラミック基板2に外部導出端子6を半田付けした上で、該端子の一端を樹脂製の外囲ケース7より引出し、かつ外囲ケース内にゲル状樹脂9を充填して封止した半導体装置において、外部導出端子6を外囲ケース7にインサート成形し、一体ブロック化して固定する。これにより、外部導出端子を含めた半導体装置の組立が簡単となるほか、外部導出端子に加わる外部応力、熱応力は直接外囲ケースで受け止められるので、セラミック基板、ないしは該基板との間の半田付け部に不当な応力の加わることがなくなる。



IDS

**THIS PAGE BLANK (USPTO)**

# 公開特許・実用（抄録A）

特開平6-85126

【名称】半導体装置

審査／評価者請求 未 請求項／発明の数 7（公報 5頁、抄録 3頁）

公開日 平成6年(1994)3月25日

出願／権利者 富士電機株式会社（神奈川県川崎市川崎区田辺新田1番1号）  
 発明／考案者 宮城 正英（他1名）※  
 出願番号 特願平4-265220 平成4年(1992)10月5日  
 優先権主張番号 特願平4-188468 1992年7月16日 日本(JP)  
 代理人 山口 巖

Int. Cl. 5 識別記号  
 H01L 23/48  
 FI  
 H01L 23/48 G  
 H01L 23/48 K

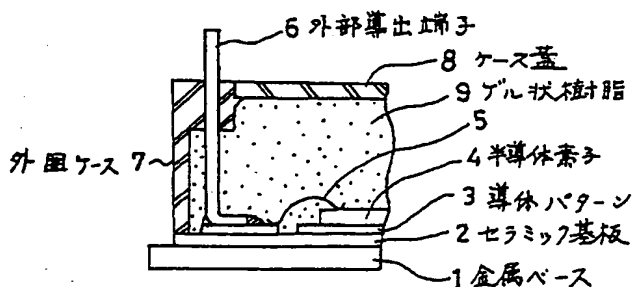
※最終頁に続く

【産業上の利用分野】本発明は、インバータなどに適用するパワースイッチング素子として用いるパワートランジスタモジュールなどを対象とした半導体装置、特にその組立構造に関する。

(57)【要約】

【目的】外部導出端子に対する組立性に優れ、しかも外部応力、ヒートサイクルによる熱応力の影響を殆ど受けることがない信頼性の高い半導体装置、特にその端子組立構造を提供する。

【構成】半導体素子4を搭載したセラミック基板2に外部導出端子6を半田付けした上で、該端子の一端を樹脂製の外囲ケース7より引出し、かつ外囲ケース内にゲル状樹脂9を充填して封止した半導体装置において、外部導出端子6を外囲ケース7にインサート成形し、一体ブロック化して固定する。これにより、外部導出端子を含めた半導体装置の組立が簡単となるほか、外部導出端子に加わる外部応力、熱応力は直接外囲ケースで受け止められるので、セラミック基板、ないしは該基板との間の半田付け部に不当な応力の加わるがなくなる。



【特許請求の範囲】

【請求項1】放熱用金属ベース上に積層した基板に半導体素子、外部導出端子を搭載してなる組立体に樹脂製の外囲ケースを組合わせ、かつ外部導出端子の一端を外囲ケースより外部に引き出すとともに、外囲ケース内にゲル状樹脂を充填して封止した半導体装置において、外部導出端子を樹脂ケースにインサート成形して一体ブロック化したことを特徴とする半導体装置。

【請求項2】放熱用金属ベース上に積層した基板に半導体素子、外部導出端子を搭載してなる組立体に樹脂製の外囲ケースを組合わせ、かつ外部導出端子の一端を外囲ケースより外部に引き出すとともに、外囲ケース内にゲル状樹脂を充填して封止した半導体装置において、外部導出端子のケース貫通部位に樹脂製のピンブロックを一体成形するとともに、外囲ケース側には前記ピンブロックの外形に対応する端子引出し穴を開口し、該端子引出し穴に前記ピンブロックを嵌め込んで接着したことを特徴とする半導体装置。

【請求項3】請求項2記載の半導体装置において、ピンブロックを異形輪郭体で構成したことを特徴とする半導体装置の端子組立構造。

【請求項4】請求項1、または2記載の半導体装置において、外囲ケースの底部側に未広がり脚部を形成して基板ないし金属ベースとの間を接合したことを特徴とする

半導体装置。

【請求項5】請求項1、または2記載の半導体装置において、外囲ケースと基板ないし金属ベースとの間を半田付けなどにより合金接合したことを特徴とする半導体装置。

【請求項6】請求項1、または2記載の半導体装置において、外囲ケースをその注型樹脂にカーボン、金属などの導電性粉末を混在させて成形したことを特徴とする半導体装置。

【請求項7】請求項1、または2記載の半導体装置において、外囲ケースの内周面に外部導出端子の貫通部を除いて導電性膜を被着形成したことを特徴とする半導体装置。

【実施例】以下本発明の実施例を図面に基づいて説明する。なお、各実施例で図7と対応する同一部材には同じ符号が付してある。図1は本発明の請求項1に対応する実施例を示すものであり、外部導出端子6は樹脂モールド品として作られた外囲ケース7の成形金型にインサートして一体成形され、外部導出端子6と外囲ケース7とが一体にブロック化して構成される。そして、セラミック基板2に外部導出端子6を半田付けする際には、外部導出端子6を外囲ケース7とともにセラミック基板上の定位位置に載置し、この状態で樹脂ケース7の接着、および外部導出端子6と導体パターン3との間の半田付けを

行う。その後ケース蓋8を被着し、樹脂ケース7の内部にゲル状樹脂9を充填して半導体素子4を封止する。

図2、図3は本発明の請求項2、3に対応する実施例を示すものであり、この実施例においては、まず外部導出端子6に対し、あらかじめ該端子が樹脂ケース7を貫通する部位に樹脂製のピンブロック11を一体成形して端子をピンブロックに埋め込み、一方では外囲ケース7のモールド成形時に前記ピンブロック11の外形に対応する端子引出し穴を開口しておく。そして、外部導出端子6をセラミック基板2の導体パターン3の上に立てて半田付けした後、上方から外囲ケース7を被せてピンブロック11をケース側の端子引出し穴に嵌め込むとともに、さらに両者間を接着剤で接着固定する。

この場合に、図3(a)～(c)で表すように、前記の樹脂ブロック11を外形歯車形、十字形、楕円形などの異形輪郭体として成形しておくことにより、例えば単純な円形輪郭体と比べて樹脂ケースとの間の接着面積が大となるので、これによりケースとの間で高い接着力が得られ、より一層堅牢な構造となる。図4(a)、(b)はそれぞれ本発明の請求項4、5に対応する構造を図1の外囲ケースに適用した実施例を示すものである。すなわち、(a)図では外囲ケース7の底部側に未広り脚部7aを形成してセラミック基板2との間を接着剤により接合したものである。このように外囲ケース7に未広り脚部7aを設けておくことにより、より広い接合面積が確保できてパッケージの組立接合強度が高まる。また、(b)図では外囲ケース7の底面にあらかじめメタライズを施しておき、外囲ケース7とセラミック基板2との間を、接着剤を用いずに半田付けなどで合金接合したものであり、その半田接合部を符号12で示す。この構成によれば、接着剤の塗布、硬化などのわずらしい工程が不要となり、しかも外囲ケース7とセラミック基板2との間の接合作業を外部導出端子6の半田付け工程と同時に行うことができるので、半導体装置の組立工数が少なく済む利点を得られる。なお、(a)、(b)図の構成は図2で述べたピンブロック11を採用の外囲ケース7に対しても同様に実施適用することができるのは勿論である。

図5(a)、(b)は図2における外囲ケース7を対象に、本発明の請求項6、7による誘導ノイズ防止対策を施した実施例を示すものである。なお、この実施例においてはピンブロック11が断面台形の錐体として形成されている。まず、(a)図は外囲ケース7、ケース蓋8の材料である注型樹脂に、適量のカーボン、あるいは金属などの導電性粉末13を分散、混在して外囲ケース7、ケース蓋8をモールド成形したものである。なお、ピンブロック11は、外部導出端子6に対する沿面絶縁強度を確保するために導電性粉末を混在させない。また、(b)図は外囲ケース7、ケース蓋8の注型樹脂に導電性粉末を混在させる代わりに、ピンブロック11の貫通部を除いて外囲ケース7、ケース蓋8の内周面に例えば銅または鉛合金の導電性薄膜14(膜厚35 $\mu$ m程度)を印刷、あるいはメッキにより被着形成したものである。なお、この導電性薄膜14は、直接大地に接地するか、あるいはセラミック基板2の導体パターン3を介して接地することができる。

かかる構成によれば、外囲ケース7、ケース蓋8の

パッケージ自身が静電遮蔽体としての機能を持つようになるので、ケース内に組み込んだ半導体素子4のスイッチング動作により発生するノイズが周辺空間に伝播するのを抑制し、周辺機器にノイズ障害を与えるのを防止できる。なお、図5のパッケージ構造は図1の外囲ケースにも実施適用することができる。

図6は先記した各実施例の応用例を示すものである。すなわち、図1～図5で述べた各実施例では外囲ケース7をセラミック基板2に接合したのに対して、この実施例は外囲ケース7を金属ベース1に接合してパッケージが組立て構成されている。なお、この実施例の外囲ケース7に図5(b)で述べた導電性薄膜14を被着形成し、かつ外囲ケース7と金属ベース1との接合に図4(b)で述べた半田付け接合法を採用することにより、セラミック基板2の導体パターン3を経由することなく、静電遮蔽体として機能する導電性薄膜14を金属ベース1を介して直接大地側に接地することができる。

【図面の簡単な説明】

【図1】本発明の請求項1に対応する実施例の組立構成図

【図2】本発明の請求項2に対応する実施例の組立構成図

【図3】本発明の請求項3に対応する実施例のピンブロック外形輪郭体を表す平面図であり、(a)は歯車形、(b)は十字形、(c)は楕円形の外形図

【図4】図1の応用実施例を示すものであり、(a)は本発明の請求項4に対応する実施例の組立構成図、(b)は本発明の請求項5に対応する実施例の組立構成図

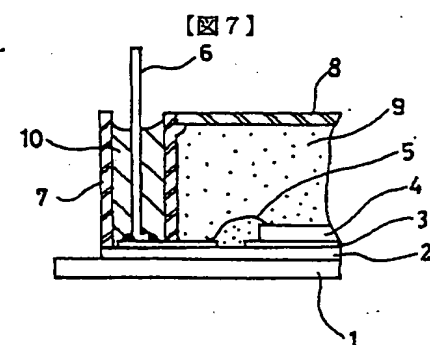
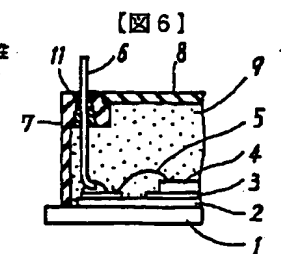
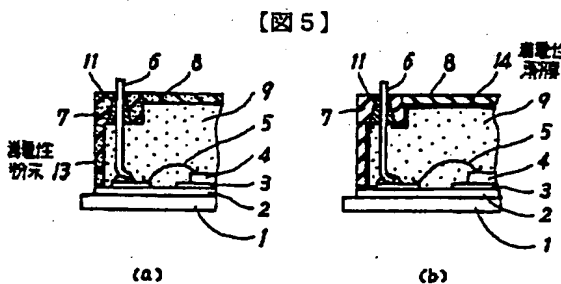
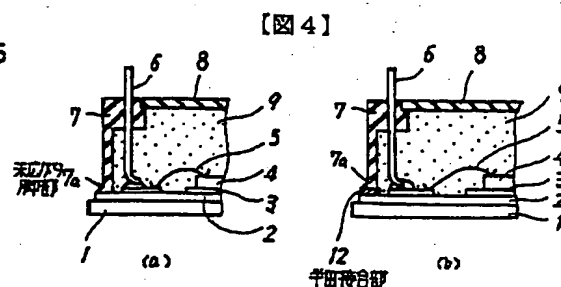
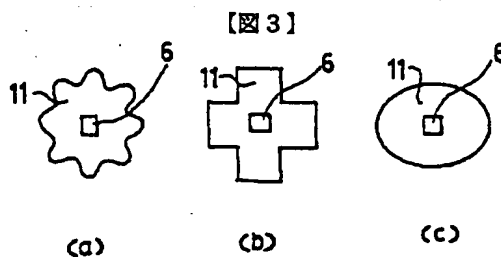
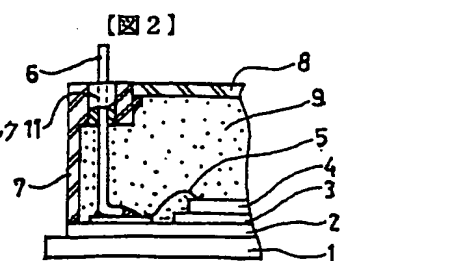
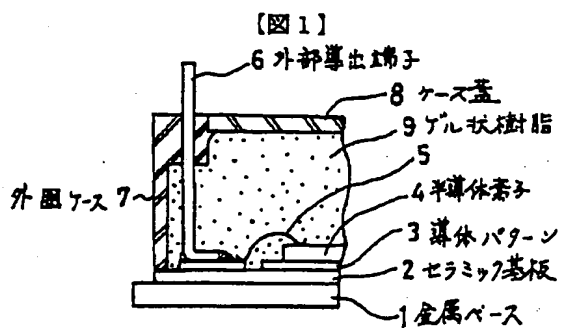
【図5】図2の応用実施例を示すものであり、(a)は本発明の請求項6に対応する実施例の組立構成図、(b)は本発明の請求項7に対応する実施例の組立構成図

【図6】図5と異なる応用実施例の組立構成図

【図7】従来における半導体装置の組立構成図

【符号の説明】

- 1 金属ベース
- 2 セラミック基板
- 3 導体パターン
- 4 半導体素子
- 6 外部導出端子
- 7 外囲ケース
- 7a 未広り脚部
- 8 ケース蓋
- 9 ゲル状樹脂
- 11 ピンブロック
- 12 半田接合部
- 13 導電性粉末
- 14 導電性薄膜



【審判的事項の続き】

【F I】 H01L 23/48 G:H01L 23/48 K

【識別番号または出願人コード】 000005234

【出願/権利者名】 富士電機株式会社  
神奈川県川崎市川崎区田辺新田1番1号

【発明/考案者名】 宮城 正英  
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

【発明/考案者名】 山田 敏総  
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

【代理人】 山口 巖

【優先権主張番号】 PH4-188468 平成4年(1992)7月16日

【優先権主張国】 日本(JP)

注) 本抄録の審判的事項は初期登録時のデータで作成されています。

**THIS PAGE BLANK (USPTO)**